

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-284997

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H03J 7/02

(21)Application number : 09-081341

(71)Applicant : NEC CORP

(22)Date of filing : 31.03.1997

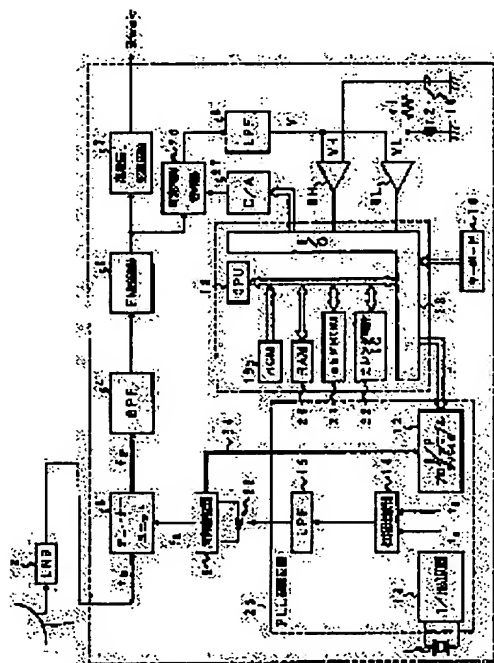
(72)Inventor : NISHIMURA OSAMI

(54) AFC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize reduction in a time for AFC operation in the AFC circuit for a receiver where an intermediate frequency signal is FM-detected and the oscillating frequency of a local oscillator is controlled depending on a detection voltage obtained by smoothing the detected intermediate frequency signal.

SOLUTION: Lapse time change information $f(x, y)$ of a frequency offset stored in an ROM 19 is called based on absolute time information such as year/month/day and time obtained from a calendar clock IC 22, and a frequency offset correction coefficient $\alpha(x, y)$ stored in an erasable memory 24 is used to calculate a reception frequency offset $\Delta f = \alpha(x, y) \times f(x, y)$. A frequency division ratio P to correct a reception frequency is obtained by the reception frequency offset in the initial state of AFC operation to conduct AFC control. Furthermore, the correction coefficient $\alpha(x, y)$ is properly updated based on an actual value Δf_r to avoid the effect of temperature fluctuation difference from each area.



LEGAL STATUS

[Date of request for examination] 31.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3036460

[Date of registration] 25.02.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 25.02.2003

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-284997

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶

H 0 3 J 7/02

識別記号

F I

H 0 3 J 7/02

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平9-81341

(22) 出願日 平成9年(1997)3月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西村 長実

東京都港区芝五丁目7番1号 日本電気株式会社内

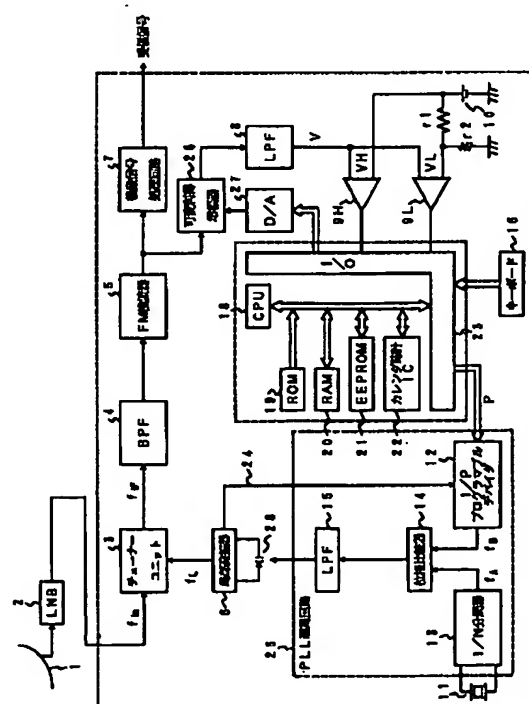
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 AFC回路

(57) 【要約】

【課題】 中間周波数信号をFM検波し、平滑化して得られた検出電圧に応じて、局部発振器の発振周波数を制御する受信装置のAFC回路において、AFC動作の時間短縮を実現する。

【解決手段】 カレンダー時計IC22から得た年月日と時間等の絶対時間情報より、ROM19に記憶された周波数オフセットの経時変化情報 $f(x, y)$ を呼び出し、さらに、書き換え可能メモリ2に記憶している周波数オフセット補正係数 $\alpha(x, y)$ とを用いて、受信周波数オフセット $\Delta f = \alpha(x, y) \times f(x, y)$ を計算する。このAFC動作初期時の受信周波数オフセットにより受信周波数を補正する分周比 P を求めてAFC制御を行う。また、補正係数 $\alpha(x, y)$ は実際の値 Δf_r をもとに、適宜更新させることにより、地域による温度変動格差の影響をなくす。



【特許請求の範囲】

【請求項1】 高周波入力信号を受け、可変周波数機能を有するPLL回路によって所定周波数の受信信号に変換し、前記受信信号の復調信号に基づいて前記PLL回路の出力周波数を制御するAFC回路において、前記受信信号の周波数オフセットを予測する手段と、前記AFCの初期動作毎に、前記受信信号の周波数オフセットを更新する手段とを有することを特徴とするAFC回路。

【請求項2】 前記周波数オフセットを予測する手段は、現在の時間における周波数オフセットを過去の周波数オフセットのデータに基づいた経時変化情報から求めることを特徴とする請求項1記載のAFC回路。

【請求項3】 前記現在の時間は、タイマー用ICを用い、前記経時変化情報はROMに記憶された内容を用いることを特徴とする請求項2記載のAFC回路。

【請求項4】 前記周波数オフセットを更新する手段は、前記経時変化情報と実際の周波数オフセット量との誤差を補正する補正係数を記憶する記憶手段と、前記記憶手段の内容に応じて前記AFCの初期動作毎に前記補正係数を更新する更新手段によることを特徴とする請求項3記載のAFC回路。

【請求項5】 選択した受信チャンネルに同調させる局部発振器を有するチューナーユニットと、前記チューナーユニットの基準周波数を発生する基準周波数発生手段と、前記局部発振器の出力を所定の分周比に設定する可変分周手段と、前記基準周波数発生手段の出力と前記可変分周手段の出力との位相差に応じた制御電圧を前記局部発振器に供給する位相比較手段と、前記チューナーユニット出力を復調する復調手段と、前記復調手段の出力を所定の出力まで増幅する可変利得増幅器と、前記可変利得増幅器の出力と第1の基準電圧とを比較する第1の電圧比較手段と、前記第1の基準電圧を分圧した第2の基準電圧と前記可変利得増幅器の出力とを比較する第2の電圧比較手段と、前記第1および第2の電圧比較手段の比較結果に基づいて、前記可変分周手段の分周比を制御する制御手段を有し、前記制御手段は、前記可変分周手段の分周比を制御し、前記第1および第2の電圧比較手段の比較結果が等しい場合には、前記可変利得増幅器の増幅度を下げると共に前記分周比の一回あたりの修正量を大とし、前記第1および第2の電圧比較手段の比較結果が異なる場合には、前記増幅度を上げると共に、前記分周比の一回あたりの修正量を小とし、さらにAFC動作初期にはタイマーICにより日付と時間情報及びROMに記憶された前記日

付と時間の情報に基づいて得られた周波数オフセットの経時変化情報に基づいて、前記分周手段の分周比を決定する手段と、

前記経時変化情報と実際の周波数オフセット量との誤差を補正する補正係数を記憶する手段と、

前記補正係数をAFC動作の初期動作毎に更新する手段とを具備することを特徴とするAFC回路。

【請求項6】 前記記憶手段は、書き換え可能なメモリを用いることを特徴とする請求項4、5記載のAFC回路。

【請求項7】 前記復調手段は、FM復調もしくはAM復調であることを特徴とする請求項5記載のAFC回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、衛星放送用受信機やCATV（ケーブルテレビジョン）端末装置等の各種放送用受信装置のAFC回路に関し、特に、所定周波数への捕捉を短時間に行うことのできるAFC回路に関する。

【0002】

【従来の技術】例えば、DBS（Direct Broadcast Satellite）サービスのよう12GHz帯域で衛星から送信された信号の場合、受信された送信波がアンテナにおけるLNB（Low Noise Block）ダウンコンバータで1GHz帯に周波数通降された後、同軸ケーブル等で宅内に引きこみ、受信装置に入力するようになっている。

【0003】この種の受信装置においては、LNBを介して供給される受信周波数の変動に対処するためAFC（自動周波数制御）回路が設けられている。

【0004】例えば、周波数制御回路として、特開昭64-29012号公報に記載された周波数制御回路がある。図2は従来のAFC回路を有する受信装置の構成を示すブロック図である。

【0005】この図において、1はアンテナであり、LNB2で周波数通降されて、受信装置のチューナーユニット3に受信信号（周波数 f_{in} ）が供給される。チューナーユニットは周波数混合器を内部にもち、局部発振器6の発振出力（周波数 f_L ）と混合して中間周波数信号（周波数 $f_{IF} = f_{in} - f_L$ ）を出力する。この中間周波数信号は、バンドパスフィルタ4によって必要な帯域が選択された後、次段のFM検波器5でFM検波され、その検波出力は後段信号処理回路7へ供給されると共に、可変利得増幅器26およびローパスフィルタ8を介して平滑化され、検波出力電圧 V として電圧比較器9H、9Lへ供給される。また、D/A変換器27は、CPU18からI/O23を介して供給される利得制御データGDをアナログ信号に変換して可変利得増幅器26に供給する。このとき利得制御データGDは、AFC動作の初

期において、分周比 P の修正量を大きくとれるように可変利得増幅器26の利得が小さくなるように設定され、AFC動作の終期において、AFC誤差が小さくなるように可変利得増幅器26の利得が大きくなるように設定される。

【0006】上記局部発振器6はVCO（電圧制御発振器）によって構成されており、この局部発振器6の発振周波数 f_L はPLL選局回路25内のプログラマブルデバイダ12によって I/P に分周され、これにより得られた周波数 f_A の信号が位相比較器14の一方の入力端へ供給される。この位相比較器14の他方の入力端には、基準水晶発振器11の発振周波数を分周器13によって I/N に分周した周波数 f_B の信号が供給される。そして、位相比較器14は周波数 f_A と f_B の位相を比較し、その位相差に応じた電圧を出力する。この位相差に応じた電圧はローパスフィルタ15で高周波成分が除去された後、局部発振器6内の同調容量として機能するバリキャップ28に印加され、これにより、局部発振器6の発振周波数 f_L が制御される。

【0007】上記プログラマブルデバイダ12、分周器13、位相比較器14およびローパスフィルタ15によってPLL選局回路25が構成されている。また、局部発振器6→プログラマブルデバイダ12→位相比較器14→ローパスフィルタ15→局部発振器6と一巡するループによってPLL（フェイズロックドループ）24が構成されている。

【0008】また、16は受信チャンネルの選択等を行う際に操作されるキーボードであり、17は、CPU（中央処理装置）18と、ROM（リードオンリーメモリ）19と、RAM（ランダムアクセスメモリ）20と、I/O（入出力回路）23から構成されるマイクロコンピュータである。そして、キーボード16によって受信チャンネルが選択されると、CPU16は、このチャンネルに必要な分周比 P をROM19内から読み出し、その分周比 P をI/O23を介してプログラマブルデバイダ12に設定する。すると、上記PLL24がプログラマブルデバイダ12の出力周波数 f_A と分周器13の出力周波数 f_B を常に一致させるように動作し、これにより、局部発振器6の発振周波数 f_L が、プログラマブルデバイダ12に設定された分周比 P に対応した値に正確にロックされる。このPLL24の機能により、周囲温度の変化等に伴う局部発振周波数 f_L の変動が押さえられる。

【0009】一方、電圧比較器9Hはローパスフィルタ8を介して供給される中間周波数 f_{IF} に対応した検波出力電圧 V と、基準電源10から供給される第1のAFC基準電圧 V_H とを比較するもので、（検波出力電圧 V ）>（基準電圧 V_H ）となった時点で、その出力が“L”レベルから“H”レベルに変化する。また、電圧比較器9Lは検波出力電圧 V と、基準電源8の電圧 V_H を抵抗

r_1 および r_2 によって分圧して得られる第2のAFC基準電圧 V_L とを比較するもので、（検波出力電圧）>（基準電圧 V_L ）となった時点で、その出力が“L”レベルから“H”レベルに変化する。この場合、第1のAFC基準電圧 V_H および第2のAFC基準電圧 V_L は、中間周波数 f_{IF} が正規の中間周波数 f_s よりも所定値 f_d 以上高くなった場合に電圧比較器9H、9Lの出力が共に“H”レベルとなり、また、中間周波数 f_{IF} が正規の中間周波数 f_s よりも所定値 f_d' 以上低くなった場合に電圧比較器9H、9Lの出力が共に“L”レベルとなるように設定されている。

【0010】そして、CPU18は、キーボード16によって受信チャンネルが選択された場合、一旦、このチャンネルに対応した分周比 P をプログラマブルデバイダ12に設定した後、以下に述べるAFC動作を実行する。

【0011】このAFC動作は、電圧比較器9H、9Lの出力に基づいて、中間周波数 f_{IF} が正規の中間周波数 f_s を中心とする中間周波数許容誤差範囲 A （ $=f_d+f_d'$ ）内にあるか否かを判定する判定動作と、その判定結果に基づいてプログラマブルデバイダ12の分周比 P を所定量ずつ増減する修正動作とからなる。そして、電圧比較器9Hの出力が“L”レベルとなり、かつ電圧比較器9Lの出力が“H”レベルとなるまで、上記判定動作と修正動作を繰り返して実行することにより、中間周波数 f_{IF} が中間周波数許容誤差範囲 A 内に補正される。

【0012】以降、受信周波数 f_{in} が変動し、中間周波数 f_{IF} が上記中間周波数許容誤差範囲 A から逸脱した場合においても、CPU18が上述したAFC動作を実行することにより、中間周波数 f_{IF} が常に中間周波数許容誤差範囲 A 内に保持される。

【0013】

【発明が解決しようとする課題】このようなダウンコンバータは通常受信機のアンテナに装着されている為、これらのダウンコンバータは一日中のみならず一年中極端な温度変動を受け、これにより動作精度やダウンコンバータ自体の固有の精度に影響を及ぼす。従って、周波数通降された信号は予想以上の周波数オフセットをもった変換周波数でチューナーユニットの入力端に供給されて、信号を捕らえるまでの時間を悪化させるという問題点がある。

【0014】本発明の目的は、上述した問題を解消するAFC回路を提供することにある。

【0015】

【課題を解決するための手段】本発明のAFC回路は、高周波入力信号を受け、可変周波数機能を有するPLL回路によって所定周波数の受信信号に変換し、前記受信信号の復調信号に基づいて前記PLL回路の出力周波数を制御するAFC回路において、前記受信信号の周波数

10

20

30

40

50

オフセットを予測する手段と、前記AFCの初期動作毎に、前記受信信号の周波数オフセットを更新する手段とを有することを特徴とする。

【0016】前記周波数オフセットを予測する手段は、現在の時間における周波数オフセットを過去の周波数オフセットのデータに基づいた経時変化情報から求めることを特徴とする。

【0017】また、前記現在の時間は、タイマー用ICを用い、前記経時変化情報はROMに記憶された内容を用いることを特徴とする。

【0018】さらに、前記周波数オフセットを更新する手段は、前記経時変化情報と実際の周波数オフセット量との誤差を補正する補正係数を記憶する記憶手段と、前記記憶手段の内容に応じて前記AFCの初期動作毎に前記補正係数を更新する更新手段によることを特徴とする。

【0019】本発明のAFC回路は、選択した受信チャンネルに同調させる局部発振器を有するチューナーユニットと、前記チューナーユニットの基準周波数を発生する基準周波数発生手段と、前記局部発振器の出力を所定の分周比に設定する可変分周手段と、前記基準周波数発生手段の出力と前記可変分周手段の出力との位相差に応じた制御電圧を前記局部発振器に供給する位相比較手段と、前記チューナーユニット出力を復調する復調手段と、前記復調手段の出力を所定の出力まで増幅する可変利得増幅器と、前記可変利得増幅器の出力と第1の基準電圧とを比較する第1の電圧比較手段と、前記第1の基準電圧を分圧した第2の基準電圧と前記可変利得増幅器の出力とを比較する第2の電圧比較手段と、前記第1および第2の電圧比較手段の比較結果に基づいて、前記可変分周手段の分周比を制御する制御手段を有し、前記制御手段は、前記可変分周手段の分周比を制御し、前記第1および第2の電圧比較手段の比較結果が等しい場合には、前記可変利得増幅器の増幅度を下げると共に前記分周比の一回あたりの修正量を大とし、前記第1および第2の電圧比較手段の比較結果が異なる場合には、前記増幅度を上げると共に、前記分周比の一回あたりの修正量を小とし、さらにAFC動作初期にはタイマーICにより日付と時間情報及びROMに記憶された前記日付と時間の情報に基づいて得られた周波数オフセットの経時変化情報に基づいて、前記分周手段の分周比を決定する手段と、前記経時変化情報と実際の周波数オフセット量との誤差を補正する補正係数を記憶する手段と、前記補正係数をAFC動作の初期動作毎に更新する手段とを具備することを特徴とする。

【0020】

【発明の実施の形態】次に、本発明の実施の形態について図1を参照して詳細に説明する。本図において、図2と相違するのは、カレンダー時計IC22とEEPROM21とをCPU18に接続する点である。

【0021】図1によると、22は、年月日および時間情報を得るためのカレンダーICであり、その年月日および時間情報をもとに計算される周波数オフセット情報の補正係数をEEPROM（電氣的消去可能プログラマブルROM）21に保存する。また、21は、書き換え可能なメモリであればよいので、例えばフラッシュメモリに置き換えることもできる。

【0022】CPU18は、ROM19に記憶されたAFC動作プログラムに基づいて、可変利得増幅器26の利得を制御すると共に、電圧比較器9H、9Lの出力レベルに基づいて従来と同様の判定動作を行い、また、その判定結果に基づいてプログラマブルデバイダ12の分周比Pを所定量ずつ増減する修正動作を行う。この場合、AFC動作の初期時においては可変利得増幅器26の利得を小とするとともにプログラマブルデバイダ12の分周比Pの一回あたりの修正量を大とする。これにより、検出電圧Vが可変利得増幅器26からローパスフィルタ8を介して電圧比較器9H、9Lに供給され、比較的広い中間周波数許容範囲が設定される。

【0023】ここで、設定する分周比Pの初期値の設定において、まず、カレンダーIC22から年月日xと時間yを呼び出し、ROM19に記憶されている過去の周波数オフセットのデータに基づいた経時変化情報f(x, y)を求める。経時変化情報f(x, y)は、例えば、過去の気象データに基づいて周波数オフセットを計算で求めたり、実際の周波数オフセットの測定データに基づいて得ることができる。次に、EEPROM21に記憶されている初期状態の周波数オフセット補正係数 $\alpha(x, y)$ を呼び出して、AFC動作初期時の周波数オフセット $\Delta f(=\alpha(x, y) \times f(x, y))$ を導き、設定すべき受信周波数を補正して分周比Pを設定する。

【0024】また、AFC引き込み動作の完了時においては、可変利得増幅器26の利得を大とするとともに、プログラマブルデバイダ12の分周比Pの一回あたりの修正量を小とし、比較的狭い中間周波数範囲が設定される。そして、一旦AFC引き込み動作が完了時になった時に、その時の設定周波数から実際の周波数オフセット Δf_r を求めて、周波数誤差 $\Delta F = \Delta f - \Delta f_r$ を少なくするよう補正係数 $\alpha(x, y)$ を更新する。このとき、周波数誤差 $\Delta F = \Delta f - \Delta f_r$ の値が極端に大きくても極端に補正係数 $\alpha(x, y)$ を変化させないように時間平均をして更新する。

【0025】以上の構成において、電源投入後初めてキーボード16によって受信チャンネルが選択された場合、前記の Δf を考慮して、分周比Pをプログラマブルデバイダ12に設定してAFC動作を開始する。また、キーボード16によって受信チャンネルが変更された場合、前記 Δf_r が既知であるため、 Δf_r を考慮して、分周比Pを設定してAFC動作を開始する。

【0026】なお、上述した実施の形態については、FM検波器5を有するFM受信機に適用した場合を例に説明したが、AM受信機に適用する場合においては、FM検波器5の代りにAM検波器を設ければよい。

【0027】

【発明の効果】以上説明したように本発明によれば、受信装置の電源立ち上げ時のAFC動作の初期状態において、年月日と時間情報に対応する周波数オフセットの年トレンドおよび日トレンド情報と、周波数オフセット補正係数により、周波数オフセットの値を予想して受信周波数を設定することにより、AFC引き込み動作完了時までの時間を短縮できるという効果が得られる。

【0028】また、受信周波数の設定を変更する場合においても、直前の周波数オフセット値で補正して受信周波数を設定することにより、AFC動作引き込み時までの時間を短縮できるという効果がある。

【0029】また、周波数オフセットの年トレンドと日トレンドは、固定データとして記憶しているが、周波数オフセット補正係数は、書き換え可能メモリに記憶して適宜更新しているため、地域や環境が異なると温度変動等が異なっても運用を重ねることにより格差を埋めるような制御ができるという効果がある。

【図面の簡単な説明】

【図1】本発明のAFCを含む受信装置の実施の形態を示すブロック図である。

【図2】従来のAFCを含む受信装置の構成を示すブロック図である。

【符号の説明】

1 アンテナ

2 LNB
3 チューナーユニット
4 バンドパスフィルタ (BPF)
5 FM検波器
6 局部発振器
7 後段信号処理装置
8 ローパスフィルタ (LPF)
9 電圧比較器 (9H、9L)
10 基準電圧発生器
11 基準水晶発振器
12 プログラマブルデバイダ (可変分周手段)
13 固定分周器
14 位相比較器
15 ローパスフィルタ (LPF)
16 キーボード
17 マイクロコンピュータ (制御手段)
18 CPU (中央処理装置)
19 ROM (リードオンリーメモリ)
20 RAM (ランダムアクセスメモリ)
21 EEPROM (電氣的消去可能プログラマブルROM)
22 カレンダー時計IC
23 I/O
24 PLL (フェーズロックドループ)
25 PLL選局回路
26 可変利得増幅器
27 D/A変換器
28 発振周波数同調用バリキャップ
r1, r2 抵抗

The diagram illustrates a portable FM receiver system. The main signal path is as follows:

- Antenna** (2) receives the signal and feeds into the **LNB** (Low Noise Block).
- The signal then passes through a **チューナーユニット** (Tuner Unit) (3), which outputs at frequency f_{IF} .
- The signal is then filtered by a **BPF** (Band Pass Filter) (4) and sent to the **FM検波器** (FM Detector) (5).
- The FM detector outputs to the **後段信号処理回路** (Post-stage Signal Processing Circuit) (7), which finally outputs the **受信信号** (Received Signal).

A **PLL 通周回路** (PLL Loop Circuit) (25) is used for frequency synthesis. It includes:

- 1/N 分周器** (1/N Divider) (11) receiving the received signal f_A .
- 位相比較器** (Phase Comparator) (14) comparing the divided signal with the local oscillator signal f_B .
- LPF** (Low Pass Filter) (15) filtering the phase comparator output.
- 局発振器** (Local Oscillator) (6) generating the local signal f_L .

The **マイコン** (Microcontroller) (18) is the central control unit, containing:

- CPU** (Central Processing Unit)
- ROM** (Read Only Memory) (19)
- RAM** (Random Access Memory) (20)
- EEPROM** (Electrically Erasable Programmable Read Only Memory) (21)
- カレンダーIC** (Calendar IC) (22)

The microcontroller is connected to a **キーボード** (Keyboard) (16) and has various control lines (23, 24, 26, 27, 28) connecting it to the PLL circuit, FM detector, and post-processing circuit. It also has pins for power supply (11, 12) and other functions (13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28).

【図2】

